

DİJİTAL ELEKTRONİK DERSİ

ARDIŞIK MANTIK DEVRELERİ MODÜLÜ YAPRAK TEST-2

Aşağıdaki soruları dikkatlice okuyunuz ve doğru seçeneği işaretleyiniz.

1. Aşağıdakilerden hangisi flip-flobun bir özelliği değildir?

- A) Flip floplar ardışık devrelerde kullanılır.
- B) Flip flopların yapısında lojik kapılar vardır.
- C) Flip flopların çıkışının ne olacağı yalnızca girişlere bağlıdır.
- D) Flip floplar sayıcı devrelerinin tasarımında kullanılır.

2. Aşağıdakilerden hangisi bir flip flop çeşidi değildir?

- A) RS flip flop
- B) K flip flop
- C) T flip flop
- D) D flip flop

3. Aşağıdakilerden hangisi RS flip flop kullanılmayan belirsizlik durumudur?

- A) R=0, S=0
- B) R=1, S=1
- C) R=0, S=1
- D) R=1, S=0

4. RS flip-flobun girişlerinden R=0 ve S=0 verdiğimizde çıkış ne olur?

- A) "0" olur.
- B) "1" olur.
- C) Çıkış değişmez.
- D) Bir önceki çıkışın tersi olur.

5. Aşağıdakilerden hangisi flip flopların tetikleme şekillerindedir?

- A) Düz tetikleme
- B) İnen kenar tetiklemesi
- C) Ters tetikleme
- D) "0" tetiklemesi

6. JK flip-flobun çıkışının, bir önceki çıkışın tersi olması için girişleri aşağıdakilerden hangisi olmalıdır?

- A) J=1, K=1
- B) J=0, K=1
- C) J=1, K=0
- D) J=0, K=0

7. Aşağıdaki durumların hangisinde T flipflobun çıkışı lojik "1" olur?

I. T=1 ve Q=0 iken tetikleme sinyali geldiğinde

II. T=1 ve Q=1 iken tetikleme sinyali geldiğinde

III. T=0 ve Q=0 iken tetikleme sinyali geldiğinde

IV. T=0 ve Q=1 iken tetikleme sinyali geldiğinde

- A) I ve IV
- B) I ve II
- C) III ve IV
- D) II ve III

8. D flip flop için aşağıdakilerden hangisi doğrudur?

- A) D flipflobun 2 girişi, 1 çıkışı vardır. B) D flip flop ile devre tasarımı yapılamaz.
C) D flip flop her zaman "1" çıkışını verir. D) D flip flobun girişi ne ise, çıkışı da o olur.

9. JK flip flopta çıkışın "1" iken "0" olması için aşağıdakilerden hangisi olmalıdır?

- A) K ne olursa olsun J=0 olmalıdır. B) K ne olursa olsun J=1 olmalıdır.
C) J ne olursa olsun K=0 olmalıdır. D) J ne olursa olsun K=1 olmalıdır.

10. JK FF ile D FF elde etmek için girişler nasıl bağlanmalıdır?

- A) J ve K girişleri kısa devre yapılmalıdır. B) J ve K lojik „1“ yapılmalıdır.
C) J ve K lojik „0“ yapılmalıdır. D) J girişi DEĞĞL(NOT) kapısı ile K girişine bağlanmalıdır.

11. JK ff ile T FF elde etmek için girişler nasıl bağlanmalıdır?

- A) J ve K girişleri kısa devre yapılmalıdır. B) J ve K lojik „1“ yapılmalıdır.
C) J ve K lojik „0“ yapılmalıdır. D) J girişi DEĞĞL(NOT) kapısı ile K girişine bağlanmalıdır.

12. Tüm FF'lerde Clock (CK) palsi uygulanmadığı zaman Clear(CLR) aktif olursa çıkışa nasıl bir etkisi olur?

- A) Çıkış Lojik „0“ olur. B) Çıkış Lojik „1“ olur.
C) Çıkış önceki konumunu korur. D) Çıkış önceki konumundan bağımsız olsun konum değiştirir.

13. Tüm FF'lerde Clock (CK) palsi uygulanmadığı zaman Preset(PR) aktif olursa çıkışa nasıl bir etkisi olur?

- A) Çıkış Lojik „0“ olur. B) Çıkış Lojik „1“ olur.
C) Çıkış önceki konumunu korur. D) Çıkış önceki konumundan bağımsız olsun konum değiştirir.